

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

1. Tên học phần: Thiết kế hệ thống số (Digital Systems Design)

- Mã số học phần: KC102
- Số tín chỉ học phần: 2 tín chỉ
- Số tiết học phần: 20 tiết lý thuyết, 20 tiết thực hành

2. Đơn vị phụ trách học phần:

- Bộ môn: Điện tử - Viễn thông
- Khoa: Công Nghệ

3. Điều kiện:

- Điều kiện tiên quyết: KC348 (Mạch điện tử số)
- Điều kiện song hành: Không

4. Mục tiêu của học phần:

Mục tiêu	Nội dung mục tiêu	CĐR CTĐT
4.1	Nắm vững kiến thức về thiết kế hệ thống số, mạch số bằng ngôn ngữ lập trình mô tả phần cứng (HDL)	2.1.2a
4.2	Sử dụng ngôn ngữ mô tả phần cứng để thiết kế mạch số, một hệ thống số	2.2.1.e
4.3	Hoạt động hiệu quả trong nhóm kỹ thuật để hoàn thành đồ án thiết kế vi mạch	2.2.2a
4.4	Đọc hiểu tài liệu bằng tiếng Anh; Viết báo cáo thực hành bằng tiếng Việt	2.2.2b

5. Chuẩn đầu ra của học phần:

CĐR HP	Nội dung chuẩn đầu ra	Mục tiêu	CĐR CTĐT
	Kiến thức		
CO1	Trình bày được các phương pháp thiết kế mạch số, hệ thống số	4.1	2.1.2a
CO2	Trình bày các bước tổng quát về thiết kế mạch số hay hệ thống số bằng ngôn ngữ mô tả phần cứng trên máy tính	4.1	2.1.2a
CO3	Trình bày được tổng quan về ngôn ngữ mô tả phần cứng	4.1	2.1.2a
CO4	Trình bày được các cái niệm, tiến trình, cấu trúc chương trình của ngôn ngữ mô tả phần cứng để mô tả mạch số, hệ thống số	4.1	2.1.2a

CĐR HP	Nội dung chuẩn đầu ra	Mục tiêu	CĐR CTĐT
	Kỹ năng		
CO5	Xác định các ngôn ngữ mô tả phần cứng số hiệu quả để thiết kế hệ thống số	4.2	2.2.1.e
CO6	Áp dụng các phương pháp lập trình, kỹ thuật lập trình, ngôn ngữ mô tả phần cứng đã chọn để thiết kế mạch số	4.2	2.2.1.e
CO7	Phối hợp với các thành viên nhóm để hoàn thành các bài thí nghiệm, thực hành	4.3	2.2.2a
CO8	Đọc hiểu tài liệu kỹ thuật bằng tiếng anh	4.4	2.2.2b

6. Mô tả tóm tắt nội dung học phần:

Học phần cung cấp cho sinh viên những kiến thức cơ bản ngôn ngữ mô tả phần cứng, rèn luyện cho sinh viên kỹ năng lập trình thiết kế và kiểm thử các hệ thống số sử dụng ngôn ngữ mô tả phần cứng.

7. Cấu trúc nội dung học phần:

7.1. Lý thuyết

	Nội dung	Số tiết	CĐR HP
Chương 1.	Giới thiệu ngôn ngữ mô tả phần cứng Verilog	1	CO2;CO3; CO8
1.1.	Giới thiệu		
1.2.	Lịch sử hình thành và phát triển của Verilog HDL		
1.3.	Thiết kế và qui trình		
1.4.	Một thiết kế mẫu bằng Verilog HDL		
1.5.	ModelSim		
Chương 2.	Cú pháp và ngữ nghĩa Verilog HDL	2	CO3;CO4;CO8
2.1.	Qui ước về từ ngữ		
2.2.	Qui ước về số trong Verilog HDL		
2.3.	Mô-đun (Modules)		
2.4.	Qui tắc về nối kết port		
2.5.	Phân cấp mạch (Hierarchical Identifiers)		
2.6.	Các kiểu dữ liệu		
2.7.	Chuỗi		
Chương 3.	Mô hình mức cổng logic	2	CO1; CO2; CO4; CO8
3.1.	Giới thiệu		
3.2.	Các cổng logic cơ bản		
3.3.	Các cổng truyền cơ bản		
3.4.	Các Switch cơ bản		
3.5.	Giá trị logic và sức mạnh tín hiệu		

	Nội dung	Số tiết	CĐR HP
3.6.	Các cấp độ sức mạnh tín hiệu		
3.7.	Thiết kế sử dụng các cổng logic cơ bản		
3.8.	Cổng logic và độ trễ của Swith		
3.9.	Cổng logic N ngõ vào		
3.10.	Cổng logic N ngõ ra		
Chương 4.	Mô-đun mô tả bởi người dùng	1	CO4; CO8
4.1.	Giới thiệu		
4.2.	Mô-đun mô tả bởi người dùng		
Chương 5.	Toán tử Verilog	3	CO4; CO8
5.1.	Toán tử cơ bản		
5.2.	Toán tử tương quan		
5.3.	Toán tử so sánh		
5.4.	Toán tử logic		
5.5.	Toán tử từng bit (Bitwise)		
5.6.	Toán tử rút gọn		
5.7.	Toán tử ghi dịch		
5.8.	Toán tử ghép		
5.9.	Toán tử nhân rộng		
5.10.	Toán tử điều kiện		
5.11.	Sự ưu tiên của các toán tử		
Chương 6.	Mô hình hành vi Verilog	3	CO1; CO4; CO8
6.1.	Cấp độ thiết kế Verilog HDL		
6.2.	Khởi thủ tục		
6.3.	Lệnh điều kiện If - Else		
6.4.	Lệnh Case		
6.5.	Lệnh lặp		
6.6.	Lệnh gán liên tục		
6.7.	Trở truyền		
6.8.	Điều khiển khởi thủ tục		
6.9.	Đặt tên khối		
Chương 7.	Điều khiển định thời	1	CO4; CO8
7.1.	Khởi thủ tục và điều khiển định thời		
Chương 8.	Tác vụ và hàm	1	CO4; CO8
8.1.	Tác vụ		
8.2.	Hàm		
8.3.	Hệ thống tác vụ và hàm		
Chương 9.	Viết Mô-đun kiểm tra (Testbench)	1	CO4; CO8
9.1.	Giới thiệu		
9.2.	Một ví dụ về mạch đếm (Counter)		
9.3.	Viết Testbench		
Chương 10.	Trạng thái máy hữu hạn (FSM)	2	CO1; CO8
10.1.	Giới thiệu		
10.2.	Các loại FSM		
Chương 11.	Tổng hợp mạch (synthesis) Verilog	2	CO4; CO8
11.1.	Synthesis là gì		

	Nội dung	Số tiết	CĐR HP
11.2.	Các cấu trúc không hỗ trợ trong Synthesis		
11.3.	Các cấu trúc được hỗ trợ trong Synthesis		
11.4.	Mô hình mạch logic		
11.5.	Phong cách lập trình Verilog		
Chương 12.	Chỉ thị biên dịch	1	CO4; CO8
12.1	Giới thiệu		
12.2	Chỉ thị biên dịch		

7.2. Thực hành

	Nội dung	Số tiết	CĐR HP
Bài 1.	Giới thiệu phần mềm Quartus II và ModelSim	4	CO5; CO6;CO7
Bài 2.	Thực hiện mạch tổ hợp (phần 1)	3	CO6; CO7
Bài 3.	Thực hiện mạch tổ hợp (phần 2)	3	CO6; CO7
Bài 4.	Thực hiện mạch tuần tự (phần 1)	3	CO6; CO7
Bài 5.	Thực hiện mạch tuần tự (phần 2)	3	CO6; CO7
Bài 6.	Thiết kế sử dụng FSM	4	CO6; CO7

8. Phương pháp giảng dạy:

- Thuyết giảng trong giảng dạy lý thuyết
- Làm mẫu trong giảng dạy thực hành

9. Nhiệm vụ của sinh viên:

Sinh viên phải thực hiện các nhiệm vụ như sau:

- Tham dự tối thiểu 80% số tiết học lý thuyết.
- Tham gia đầy đủ 100% giờ thực hành.
- Thực hiện cáo cáo đầy đủ các bài thực hành.
- Phối hợp với bạn cùng nhóm để hoàn thành công việc chung.
- Tham dự thi kết thúc học phần.
- Chủ động tổ chức thực hiện giờ tự học.

10. Đánh giá kết quả học tập của sinh viên:

10.1. Cách đánh giá

Sinh viên được đánh giá tích lũy học phần như sau:

TT	Điểm thành phần	Quy định	Trọng số	CĐR HP
1	Điểm chuyên cần	Tham dự từ 80% số giờ lý thuyết và 100% các buổi thực hành	10%	CO1; CO2; CO3; CO4; CO8
2	Điểm các bài báo cáo thực hành	Bắt buộc	30%	CO5; CO6; CO7
3	Điểm thi kết thúc học phần	Bắt buộc tham gia	60%	CO1; CO2; CO3; CO4;

10.2. Cách tính điểm

- Điểm đánh giá thành phần và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến một chữ số thập phân.

- Điểm học phần là tổng điểm của tất cả các điểm đánh giá thành phần của học phần nhân với trọng số tương ứng. Điểm học phần theo thang điểm 10 làm tròn đến một chữ số thập phân, sau đó được quy đổi sang điểm chữ và điểm số theo thang điểm 4 theo quy định về công tác học vụ của Trường.

11. Tài liệu học tập:

Thông tin về tài liệu	Số đăng ký cá biệt
[1] Brown, Stephen. “Fundamentals of digital logic with Verilog design”. New York: McGraw-Hill Higher Education, 2014	MON.063076
[2] Trương Phong Tuyên, Nguyễn Cao Quý, Tài liệu hướng dẫn thực hành Thiết kế hệ thống số, Đại Học Cần Thơ, 2021	CN.019855 CN.019858 CN.019863 CN.019862 CN.019853
[3] Rafiquzzaman, Mohamed. “Digital logic : With an introduction to verilog and FPGA-based design”. Wiley, 2020.	CN.019806 MON.066473

12. Hướng dẫn sinh viên tự học:

Tuần	Nội dung	Lý thuyết (tiết)	Thực hành (tiết)	Nhiệm vụ của sinh viên
1	Chương 1: Giới thiệu ngôn ngữ mô tả phần cứng Verilog Chương 2: Cú pháp và ngữ nghĩa Verilog HDL	3	0	-Nghiên cứu trước: +Tài liệu [1]: nội dung mục 1.1, Chương 1 +Tài liệu [1]: nội dung mục 2.1, Chương 2 + Tài liệu [3]: Chương 1 +Tra cứu nội dung về ngôn ngữ mô tả phần cứng HDL và ModelSim
2	Chương 3: Mô hình mức cổng logic	2	0	-Nghiên cứu trước: +Tài liệu [1]: nội dung mục 3.1 , Chương 3 + Tài liệu [3]: Chương 2 + Ôn lại nội dung các loại cổng logic trong học phần Mạch điện tử số
3	Chương 4: Kết nối các cổng logic Chương 5: Toán tử Verilog	2	0	-Nghiên cứu trước: + Tra cứu nội dung về toán tử trong ngôn ngữ lập trình C/C++
4	Chương 5: Toán tử Verilog (tiếp theo) Chương 6: Mô hình hành vi Verilog	3	0	-Nghiên cứu trước: +Tài liệu [1]: nội dung mục 6.1, Chương 6 + Tài liệu [3]: Chương 3
5	Chương 7: Điều khiển định thời	2	0	-Nghiên cứu trước: +Tài liệu [1]: nội dung mục 7.1, Chương

Tuần	Nội dung	Lý thuyết (tiết)	Thực hành (tiết)	Nhiệm vụ của sinh viên
	Chương 8: Tác vụ và hàm			7 +Tài liệu [1]: nội dung mục 8.1, Chương 8 +Tài liệu [3]: Chương 3, Chương 8
6	Chương 9: Viết Mô-đun kiểm tra (Testbench) Chương 10: Trạng thái máy hữu hạn (FSM)	3	0	-Nghiên cứu trước: + Tra cứu nội dung về viết chương trình để kiểm tra các chương trình đã viết (Testbench). +Tra cứu về trạng thái máy hữu hạn (FSM) trong mạch số
7	Chương 11: Tổng hợp mạch (synthesis) Verilog Chương 12: Chỉ thị biên dịch	2	0	-Nghiên cứu trước: +Tài liệu [1]: nội dung mục 11.1, Chương 11 +Tài liệu [1]: nội dung mục 12.1, Chương 12 + Tra cứu nội dung về Synthesis và trình biên dịch cho mạch số
8	Thực hành bài 1: Giới thiệu phần mềm Quartus II và ModelSim	0	4	-Nghiên cứu trước: + Tài liệu [2]: Bài 1 +Tra cứu nội dung về phần mềm Quartus và ModelSim cho thiết kế mạch số -Sinh viên tự chọn bạn để lập nhóm, mỗi nhóm 2-3 sinh viên. -Viết báo cáo của nhóm khi kết thúc bài thực hành
9	Thực hành bài 2: Thực hiện mạch tổ hợp (phần 1)	0	3	-Nghiên cứu trước: + Tài liệu [2]: Bài 2 +Ôn lại nội dung về các loại mạch tổ hợp trong học phần Mạch điện tử số -Viết báo cáo của nhóm khi kết thúc bài thực hành
10	Thực hành bài 3: Thực hiện mạch tổ hợp (phần 2)	0	3	-Nghiên cứu trước: + Tài liệu [2]: Bài 3 +Ôn lại nội dung về các loại mạch tổ hợp trong học phần Mạch điện tử số -Viết báo cáo của nhóm khi kết thúc bài thực hành
11	Thực hành bài 4: Thực hiện mạch tuần tự (phần 1)	0	3	-Nghiên cứu trước: + Tài liệu [2]: Bài 4 +Ôn lại nội dung về các loại mạch tuần tự trong học phần Mạch điện tử số -Viết báo cáo của nhóm khi kết thúc bài thực hành
12	Thực hành bài 5: Thực hiện mạch tuần tự (phần 2)	0	3	-Nghiên cứu trước: + Tài liệu [2]: Bài 5 +Ôn lại nội dung về các loại mạch tuần tự trong học phần Mạch điện tử số

Tuần	Nội dung	Lý thuyết (tiết)	Thực hành (tiết)	Nhiệm vụ của sinh viên
				-Viết báo cáo của nhóm khi kết thúc bài thực hành
13	Thực hành bài 6: Thiết kế sử dụng FSM	0	4	-Nghiên cứu trước: + Tài liệu [2]: Bài 6 + Tài liệu [3]: Tra cứu nội dung về trạng thái máy hữu hạn Moore và Mealy, Chương 7 -Viết báo cáo của nhóm khi kết thúc bài thực hành

Cần Thơ, ngày 10 tháng 09 năm 2022

**TL. HIỆU TRƯỞNG
TRƯỞNG KHOA**



TRƯỞNG BỘ MÔN

Lương Vinh Quốc Danh