

### ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

**1. Tên học phần:** Hệ thống nhúng (Embedded System Design)

- Mã số học phần: CT399
- Số tín chỉ học phần: 3 tín chỉ
- Số tiết học phần: 30 tiết lý thuyết, 30 tiết thực hành.

**2. Đơn vị phụ trách học phần:**

- Bộ môn: Điện tử - Viễn thông
- Khoa: Công Nghệ

**3. Điều kiện:**

- Điều kiện tiên quyết: CT141
- Điều kiện song hành: không

**4. Mục tiêu của học phần:**

Mục tiêu	Nội dung mục tiêu	CĐR CTĐT
4.1	Nắm vững kiến thức về một hệ thống nhúng.	2.1.3a
4.2	Xác định được kiến thức cần thiết cho thực hiện hệ thống nhúng trên FPGA.	2.1.3c
4.3	Thiết kế hệ thống nhúng trên FPGA cho các ứng dụng thực tế.	2.2.1c
4.4	Xác định và giải quyết vấn đề kỹ thuật liên quan trong việc thiết kế, thực hiện và kiểm tra các hệ thống nhúng trên FPGA.	2.2.1d
4.5	Sử dụng các phương pháp kỹ thuật và công cụ hiện đại cần thiết cho thiết kế.	2.2.1đ

**5. Chuẩn đầu ra của học phần:**

CĐR HP	Nội dung chuẩn đầu ra	Mục tiêu	CĐR CTĐT
	<b>Kiến thức</b>		
CO1	Xác định được các đặc điểm, yêu cầu cơ bản hệ thống nhúng trên FPGA.	4.1	2.1.3a
CO2	Lựa chọn, phát triển các lõi IP phù hợp theo yêu cầu của một ứng dụng nhúng cụ thể.	4.2	2.1.3c
	<b>Kỹ năng</b>		
CO3	Vận dụng kiến thức trong việc thiết kế, lập trình các Hệ thống nhúng giải quyết những yêu cầu trong thực tế.	4.3	2.2.1c



<b>CĐR HP</b>	<b>Nội dung chuẩn đầu ra</b>	<b>Mục tiêu</b>	<b>CĐR CTĐT</b>
	<b>Kiến thức</b>		
CO4	Sử dụng các phần mềm chuyên dụng trong việc thiết kế, lập trình phát triển ứng dụng cho Hệ thống nhúng.	4.4	2.2.1d
CO5	Sử dụng các phương pháp kỹ thuật và công cụ hiện đại cần thiết cho thiết kế, lập trình các hệ thống nhúng.	4.5	2.2.1đ

### 6. Mô tả tóm tắt nội dung học phần:

Trang bị cho sinh viên những kiến thức về hệ thống nhúng và kỹ năng thiết kế hệ thống nhúng trên ma trận cổng lập trình được theo trường (Field-Programmable Gate Array, FPGA).

### 7. Cấu trúc nội dung học phần:

#### 7.1. Lý thuyết

	<b>Nội dung</b>	<b>Số tiết</b>	<b>CĐR HP</b>
<b>Chương 1.</b>	<b>Giới thiệu</b>	<b>3</b>	
1.1.	Tổng quan về hệ thống nhúng	1	CO1
1.2.	Các nền tảng cho thiết kế các hệ thống số	1	CO1
1.3.	Hệ thống trên chip lập trình được (SoPC, System on Programmable Chip)	1	CO1
<b>Chương 2.</b>	<b>Phần cứng của hệ thống nhúng</b>	<b>4</b>	
2.1.	Tổng quan về tổ chức phần cứng	0,5	CO1
2.2.	Bộ xử lý (processors)	1	CO2; CO3
2.3.	Tổ chức, quản lý bộ nhớ (memory)	1	CO2; CO3
2.4.	Các loại bus trong hệ thống nhúng (system bus types)	0,5	CO2; CO3
2.5.	Các ngõ vào/ra (I/O ports)	0,5	CO2; CO3
2.6.	Giao tiếp ngoại vi (peripheral interfaces)	0,5	CO2, CO3
<b>Chương 3.</b>	<b>Hệ thống nhúng trên FPGA</b>	<b>4</b>	
3.1.	Tổng quan về công nghệ FPGA	0,5	CO3~CO5
3.2.	Bộ xử lý Nios II	1	CO3~CO5
3.3.	Các loại bus hệ thống (Avalon Switch Fabric)	1	CO3~CO5
3.4.	Các lõi IP (Intellectual Property)	1	CO3~CO5
3.5.	Phần mềm thiết kế hệ thống nhúng trên FPGA (Altera Quartus II)	0,5	CO3~CO5
<b>Chương 4.</b>	<b>Lập trình cho hệ thống nhúng</b>	<b>4</b>	
4.1.	Lập trình hợp ngữ	2	CO3~CO5
4.2.	Phần mềm Altera Program Monitor	0,5	CO3~CO5
4.3.	Lập trình C/C++	1	CO3~CO5
4.4.	Môi trường phát triển ứng dụng Nios II Eclipse	0,5	CO3~CO5

#### 7.2. Thực hành

	<b>Nội dung</b>	<b>Số tiết</b>	<b>CĐR HP</b>
<b>Bài 1.</b>	<b>Xây dựng hệ thống nhúng giao tiếp LED đơn, LED 7 đoạn và công tắc trượt</b>	<b>5</b>	



	Nội dung	Số tiết	CĐR HP
1.1.	Giới thiệu Kit FPGA Altera		CO1; CO4
1.2.	Thiết kế hệ thống nhúng trên FPGA sử dụng Phần mềm Quartus II.		CO1; CO4
1.3.	Viết ứng dụng giao tiếp với LED đơn, LED 7 đoạn và công tắc trượt sử dụng phần mềm Nios II Software.		CO1; CO4
<b>Bài 2.</b>	<b>Xây dựng hệ thống nhúng giao tiếp LCD</b>	<b>5</b>	
2.1.	Thiết kế hệ thống nhúng trên FPGA giao tiếp với LCD.		CO3~CO5
2.2.	Viết ứng dụng giao tiếp với LCD.		CO3~CO5
<b>Bài 3.</b>	<b>Xây dựng hai hệ thống nhúng độc lập trên chip FPGA</b>	<b>5</b>	
3.1.	Thiết kế 2 hệ thống nhúng riêng biệt trên FPGA giao tiếp với LED đơn, LED 7 đoạn, công tắc trượt và LCD.		CO3~CO5
3.2.	Viết ứng dụng giao tiếp với LED đơn, LED 7 đoạn, công tắc trượt và LCD.		CO3~CO5
<b>Bài 4.</b>	<b>Xây dựng hệ thống nhúng giao tiếp với máy tính thông qua JTAG UART (phần 1)</b>	<b>5</b>	
4.1.	Thiết kế hệ thống nhúng trên FPGA giao tiếp với máy tính thông qua JTAG UART.		CO3~CO5
4.2.	Viết ứng dụng áp dụng giao tiếp với máy tính thông qua JTAG UART.		CO3~CO5
<b>Bài 5.</b>	<b>Xây dựng hệ thống nhúng giao tiếp với máy tính thông qua JTAG UART (phần 2)</b>	<b>5</b>	
5.1.	Thiết kế hệ thống nhúng trên FPGA giao tiếp với máy tính thông qua JTAG UART (p2).		CO3~CO5
5.2.	Viết ứng dụng áp dụng giao tiếp với máy tính thông qua JTAG UART (p2).		CO3~CO5

### 8. Phương pháp giảng dạy:

- Thuyết giảng tích cực.
- Giảng dạy dựa trên đồ án.

### 9. Nhiệm vụ của sinh viên:

Sinh viên phải thực hiện các nhiệm vụ như sau:

- Tham dự tối thiểu 80% số tiết học lý thuyết.
- Tham gia đầy đủ 100% giờ thực hành và có báo cáo kết quả.
- Thực hiện đầy đủ đồ án môn học được đánh giá kết quả thực hiện.
- Chủ động tổ chức thực hiện giờ tự học.

### 10. Đánh giá kết quả học tập của sinh viên:

#### 10.1. Cách đánh giá

Sinh viên được đánh giá tích lũy học phần như sau:



TT	Điểm thành phần	Quy định	Trọng số	CĐR HP
1	Điểm chuyên cần (điểm danh 5 buổi thực hành tại PTN)	- Sinh viên tham gia các buổi thực hành theo lịch được xếp và ký tên điểm danh	10%	CO1 ~ CO5
2	Điểm báo cáo thực hành	- Sinh viên nộp báo cáo thực tập (theo nhóm 2 SV)	20%	CO1 ~ CO5
3	Điểm Đồ án môn học	- Chấm kết quả của Đồ án môn học (theo nhóm 2 SV)	70%	CO1 ~ CO5

## 10.2. Cách tính điểm

- Điểm đánh giá thành phần và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến một chữ số thập phân.
- Điểm học phần là tổng điểm của tất cả các điểm đánh giá thành phần của học phần nhân với trọng số tương ứng. Điểm học phần theo thang điểm 10 làm tròn đến một chữ số thập phân, sau đó được quy đổi sang điểm chữ và điểm số theo thang điểm 4 theo quy định về công tác học vụ của Trường.

## 11. Tài liệu học tập:

Thông tin về tài liệu	Số đăng ký cá biệt
[1] Hamacher. "Computer Organization and Embedded Systems, 6 <sup>th</sup> Edition", 2012, Mc Graw Hill India.	MON.063075
[2] Intel, Quartus II Handbook. URL: <a href="https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/quartusii_handbook.pdf">https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/quartusii_handbook.pdf</a>	
[3] Shibu, K. V., "Introduction to embedded systems", 2009, Tata McGraw Hill Education Private Limited.	CN.019839
[4] Sepehr Naimi, Sarmad Naimi, Muhammad Ali Mazidi, "The STM32F103 microcontroller and embedded systems", 2020, Microdigitaled.	CN.019543
[5] Tài liệu hướng dẫn các bài thực hành do Giảng viên giảng dạy thực hành cung cấp	

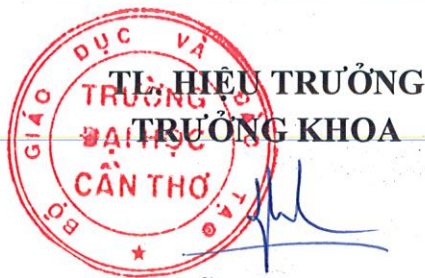
## 12. Hướng dẫn sinh viên tự học:

Tuần	Nội dung	Lý thuyết (tiết)	Thực hành (tiết)	Nhiệm vụ của sinh viên
1	<b>Chương 1: Giới thiệu</b> - Tổng quan về hệ thống nhúng - Các nền tảng cho thiết kế hệ thống số - Hệ thống trên chip lập trình được (SoPC, System	3		- Đọc trước ở nhà: +Tài liệu [1]: nội dung Chương 10 + Slide bài giảng

	on Programmable Chip)			
2	<b>Chương 2: Phần cứng của hệ thống nhúng</b> - Tổng quan về tổ chức phần cứng - Bộ xử lý - Tổ chức quản lý bộ nhớ	2		-Đọc trước ở nhà: +Tài liệu [1]: nội dung Chương 10 + Slide bài giảng
3	<b>Chương 2: Phần cứng của hệ thống nhúng</b> - Các loại bus trong hệ thống nhúng - Các ngõ vào/ra - Giao tiếp ngoại vi	2		-Đọc trước ở nhà: +Tài liệu [1]: nội dung Chương 10 + Slide bài giảng
4	<b>Chương 3: Hệ thống nhúng trên FPGA</b> - Tổng quan về công nghệ FPGA - Bộ xử lý mềm Nios II (softcore Nios II)	2		-Đọc trước ở nhà: +Tài liệu [1]: nội dung Chương 10 + Slide bài giảng
5	<b>Chương 3: Hệ thống nhúng trên FPGA</b> - Các loại bus hệ thống - Các lõi IP - Phần mềm thiết kế hệ thống nhúng trên FPGA	2		-Đọc trước ở nhà: +Tài liệu [1]: nội dung Chương 10 + Slide bài giảng
6	<b>Chương 4: Lập trình cho hệ thống nhúng</b> - Lập trình hợp ngữ - Phần mềm Altera Program Monitor - Lập trình C/C++ - Môi trường phát triển ứng dụng Nios II Eclipse	2		-Đọc trước ở nhà: +Tài liệu [2]: Chương 10 + Slide bài giảng

Cần Thơ, ngày 09 tháng 9 năm 2022

**TRƯỞNG BỘ MÔN**



**Nguyễn Văn Cương**

**Lương Vinh Quốc Danh**